

비트 전환 보상 기법을 위한 GNSS 신호 획득부 비교

김민수, 박지운, 유호영*
충남대학교 전자공학과

Comparison of GNSS Signal Acquisition for Bit Transition Compensation Technique

Minsu Kim, Jiwoon Park, and Hoyoung Yoo*

Department of Electronics Engineering

Chungnam National University

E-mail: mskim.cas@gmail.com, jwpark.cas@gmail.com, *hyyoo@cnu.ac.kr

Abstract

The bit sign transition reduces the signal detection probability due to the effect on the correlation result in the signal acquisition process. Therefore, in this paper, double block zero padding techniques to solve the bit code conversion problem, are analyzed and applied to the parallel code phase search acquisition to compare the FPGA(Field Programmable Gate Array) resource usage. As a result of the experiment, the signal acquisition to which the bit transition cancellation technique is applied uses more CLB(Configurable Logic Block) LUT(Look Up Table), FF(Flip Flop), and DSP than the signal acquisition to which the double block zero padding technique is applied but uses less 32KB BRAM(Block RAM).

I. 서론

GNSS(Global Navigation Satellite System)는 위성 신호를 기반으로 사용자의 위치, 시간 정보를 제공한다. 위성은 일반적으로 1 차 코드, 2 차 코드, 항법 데이터를 포함하는 GNSS 신호를 송출하며 수신기에 전달되는 동안 전파 지연(Propagation delay)이 발생한다. GNSS 수신기는 전파 지연된 신호를 이용해 상관 값을 계산하고 상관 결과로 가시 위성의 신호를 획득한다. 이때, 그림 1 (a)와 같이 전파 지연으로 인해 데이터 비트 또는 2

이 논문은 2021 년도 정부(교육부)의 재원으로 한국연구재단의 지원을 받아 수행된 기초연구사업임 (No. 2021R111A3055806).

차 코드의 비트 부호 전환은 상관 결과가 감쇠 시킬 수 있으며, 최악의 경우에 전파 지연이 수신한 신호의 코드가 주기의 중간에서 시작하면 상관 결과는 zero 에 근접한다[1]. 따라서, 비트 부호 전환은 신호 탐지 확률을 감소시키고, 획득에 대한 오정보 비율을 증가시킨다.

본 논문에서는 비트 부호 전환 문제를 해결하기 위한 방법들을 분석하고 보상 기법들을 신호 획득부에 적용하여 FPGA(Field Programmable Gate Array) 자원 사용량을 비교한다.

II. 보상 기법

비트 부호 전환 문제를 해결하기 위한 가장 보편적인 보상 기법인 DBZP(Double Block Zero Padding)는 전파 지연을 고려해 그림 1 (b)와 같이 두 주기의 수신한 코드와 로컬 코드를 사용한다[1]. 이때, 두 주기의 로컬 코드는 한 주기의 코드 시퀀스로 구성되며 나머지 한 주기는 zero 로 채워진다. DBZP 기법을 적용한 수신기의 신호 획득부는 두 주기 코드를 이용하기 때문에 두 개의 상관 피크를 얻을 수 있고 적어도 하나의 상관 피크는 온전한 1 주기 코드의 상관 값을 계산한 결과이다.

비트 부호 전환을 해결하기 위한 또 다른 보상 기법인 BTC(Bit Transition Cancellation)는 한 주기의 로컬 코드를 두 세트 사용하는 기법으로 그림 1 (c)와 같이 일

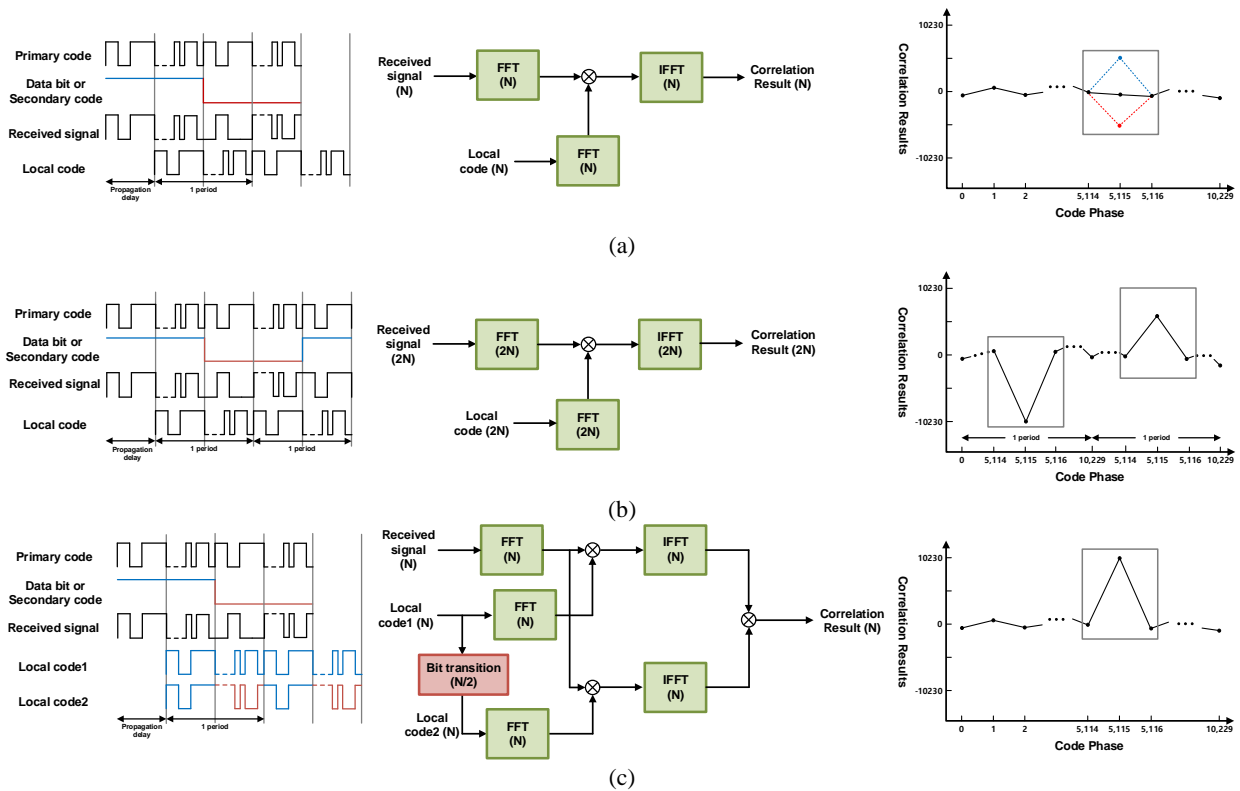


그림 1 비트 부호 전환의 문제점 및 보상 기법 (a) 비트 부호 전환의 문제점 (b) Double block zero padding 기법 (c) Bit transition cancellation 기법

반적인 로컬 코드 Local code1 와 코드 시퀀스 중간에 비트 부호 전환을 적용한 로컬 코드 Local code2 로 구성된다[2]. 수신한 신호에 비트 부호 반전이 없는 경우에는 Local code1 와 상관 값을 계산하면 상관 결과는 최대값이고 Local code2 와의 상관 결과는 zero 에 가깝다. 하지만, 비트 부호 반전이 있는 경우에는 Local code1 와의 상관 결과는 zero 에 가깝고 Local code2 와의 상관 결과는 최대값이다. 따라서, BTC 기법을 적용한 수신기의 신호 획득부는 두 세트의 로컬 코드 각각에 대해 수신한 신호의 코드와 상관 값을 계산하고 두 상관 결과의 합하여 수신한 신호에 비트 부호 전환이 있는 경우에도 신호 획득이 가능하다.

III. 실험 결과 및 결론

실험에 사용한 FPGA 칩은 Xilinx Virtex Ultrascale XCVU190 칩을 사용하였다. 또한, Xilinx Vivado 2020.2 를 이용해 각 보상 기법을 적용한 병렬 코드 검색 신호 획득부를 구현해 FPGA 합성을 진행하였다. 실험 결과, DBZP 기법[1]을 적용한 신호 획득부는 CLB(Configurable

Logic Block) LUT(Look Up Table)를 65,163 개, CLB FF(Flip Flop)을 24,225 개, DSP 를 269 개, 32KB BRAM(Block RAM)을 3680.5 개 사용한다. BTC 기법[2]을 적용한 신호 획득부는 CLB LUT 를 71,249 개, CLB FF 을 36,396 개, DSP 를 405 개, 32KB BRAM 을 2962 개 사용한다. 따라서, BTC 를 적용한 신호 획득부에 비해 CLB LUT 과 FF, DSP 를 많이 사용하지만 32KB BRAM 을 적게 사용하는 것을 알 수 있다.

참고문헌

- [1] Jérôme Leclère, Cyril Botteron, René Jr. Landry and Pierre-André Farine, "FFT Splitting for Improved FPGA-Based Acquisition of GNSS Signals", International Journal of Navigation and Observation, Dec 2015.
- [2] Sanghoon Jeon, et al, "Analysis of GNSS signal acquisition methods for the bit-transition problem for a single code period", Transactions of the Japan Society for Aeronautical and Space Sciences, 2013.